

41

1/5/1 (Item 1 from file: 351)
 DIALOG(R) File 351:Derwent WPI
 (c) 2001 Derwent Info Ltd. All rts. reserv.

009808203

WPI Acc No: 1994-088058/199411

XRPX Acc No: N94-069061

**Image processor - changes filter factor for every pixel unit, and sets
 several kinds of space filters in one screen NoAbstract**

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6038041	A	19940210	JP 92188036	A	19920715	199411 B

Priority Applications (No Type Date): JP 92188036 A 19920715

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6038041	A	9	H04N-001/40	

Abstract (Basic): JP 6038041 A

Dwg.1/6

Title Terms: IMAGE; PROCESSOR; CHANGE; FILTER; FACTOR; PIXEL; UNIT; SET;
 KIND; SPACE; FILTER; ONE; SCREEN; NOABSTRACT

Derwent Class: T01; W02

International Patent Class (Main): H04N-001/40

International Patent Class (Additional): G06F-015/68

File Segment: EPI

1/5/2 (Item 1 from file: 347)
 DIALOG(R) File 347:JAPIO
 (c) 2001 JPO & JAPIO. All rts. reserv.

04394141 **Image available**

IMAGE PROCESSOR

PUB. NO.: 06-038041 JP 6038041 A]

PUBLISHED: February 10, 1994 (19940210)

INVENTOR(s): SHIMIZU KAZUO

APPLICANT(s): OLYMPUS OPTICAL CO LTD [000037] (A Japanese Company or
 Corporation), JP (Japan)

APPL. NO.: 04-188036 [JP 92188036]

FILED: July 15, 1992 (19920715)

INTL CLASS: [5] H04N-001/40; G06F-015/68

JAPIO CLASS: 44.7 (COMMUNICATION -- Facsimile); 29.1 (PRECISION
 INSTRUMENTS -- Photography & Cinematography); 45.4
 (INFORMATION PROCESSING -- Computer Applications)

JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &
 Microprocessors)

JOURNAL: Section E, Section No. 1549, Vol. 18, No. 260, Pg. 88, May
 18, 1994 (19940518)

ABSTRACT

PURPOSE: To change the coefficient of a spatial filter for a minimum unit
 of one picture element without decelerating processing speed by providing a
 coefficient select signal generating means and a coefficient setting means
 composed of a coefficient register group and a selector group.

CONSTITUTION: Arbitrary coefficient selection information is allocated to a
 frame memory 52 for coefficient selection as the coefficient select signal
 generating means over the area of minimum with of one picture element unit
 corresponding to an input image. On the other hand, the several kinds of
 coefficients are stored in respective coefficient register groups 36-40.
 Based on the coefficient selection information allocated to the area to
 which the image data of a processing object belong, a coefficient select

signal is impressed to all the selectors 41-45, and the desired coefficient is read from the respective coefficient register groups 36-40 and set.

【特許請求の範囲】

【請求項1】 $i \times j$ のマトリクスからなり所定の係数が設定された空間フィルタにより入力画像を構成する各画素データのフィルタリング処理、補間処理、シェーディング、パターン認識等を行う画像処理装置において、

前記空間フィルタの各係数を選択するための係数選択情報が、少なくとも前記入力画像を構成する各画素単位の領域に対応させて記憶され、前記各画素データ入力に同期して、当該画素が所属する領域に割り付けられた前記係数選択情報に対応した係数選択信号を発生させる係数選択信号発生手段と、

前記係数選択信号発生手段から発生した係数選択信号に基づいて、予め記憶されている複数の係数の中から該当する係数を読出し、その読出された係数を前記空間フィルタに設定する係数設定手段と、

を具備したことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、入力画像に各種の画像処理を施す画像処理装置に関する。

【0002】

【従来の技術】従来より、 $i \times j$ のマトリクスからなる空間フィルタに任意の係数を設定して所定のフィルタリング機能を持たせ、その空間フィルタを用いて画像データをフィルタリング処理し、例えば入力画像に対してエッジ強調やノイズ除去等の処理を施す画像処理装置が知られている。このような画像処理装置に備えられる空間フィルタの構成例を図6に示す。

【0003】同図に示す空間フィルタは、 3×3 のマトリクスからなり、各行は対応するラインの画素データを順次ラッチするデータラッチ回路1〜3が直列に設けられている。各データラッチ回路1〜3でラッチされた画素データは、それぞれ対応して設けられた乗算部4〜6で所定の係数を乗算される。これら各乗算部4〜6に設定される係数は、係数レジスタ7〜9に記憶されており、各々対応する係数ラッチ回路11〜13を介して各乗算部4〜6へ与えられる。

【0004】第1段目の行14には1ライン目の画素データが入力され、第2、第3段目の行15、16には2ライン目、3ライン目の画素データがそれぞれ入力され、各データラッチ回路でラッチされた画素値と、対応する各係数レジスタに記憶されている係数との積が加算器17に入力される。そして加算器17が入力する9個の積を加算して、その加算値を空間フィルタ出力する。

【0005】この様に構成された空間フィルタでは、フレーム画像データが連続する3ライン毎に第1〜第3の行14〜16に入力する。そして1画素ずつシフトさせて1ライン分の画素データの空間的なフィルタリング

処理を行う。なお、 3×3 のマトリクスからなるフィルタであれば、1回の積和演算で処理される画素は、マトリクスの中心部に位置する画素（2行2列目）である。

【0006】1ライン分の処理が終了すると、第1〜第3の行14〜16に入力するラインデータを、1ラインあるいは複数ラインだけ上下にシフトして再び1ラインの画像データを処理する。

【0007】ところで、上記空間フィルタは、各係数レジスタ7〜9に記憶する係数により、局所平均、各種微分、エッジ検出等の任意の画像処理機能を実現することができる。

【0008】上記空間フィルタでは、各係数レジスタ7〜9を不図示のCPUのデータベースに接続し、各係数レジスタ7〜9の係数をCPUからデータベースを介して書換えることができるように構成されている。

【0009】

【発明が解決しようとする課題】ところが、上述したように従来の空間フィルタは、CPUが各係数レジスタの係数をデータベースを介して書換えるように構成されているため、空間フィルタの係数を変更するためには、CPUが全ての係数レジスタにデータベースを介してそれぞれアクセスして、個々に係数を書換えなければならなかった。そのため、空間フィルタが 3×3 のマトリクスから構成されている場合には9回、 5×5 のマトリクスから構成されている場合には25回もの係数書換処理が必要となる。この様なことから、従来の画像処理装置で空間フィルタの係数を変更する場合は、1画面単位で切替えるのが主であった。

【0010】実際の画像処理では1画面中の任意の領域に任意の係数に設定した空間フィルタを使いたいという要望や、1画面中で数種類の空間フィルタを使用したいといった要望があったが、その様なフィルタの変更を一般のパソコンの機能を使って実現するのは困難であった。

【0011】本発明は以上のような実情に鑑みてなされたもので、処理速度を低下することなく最小1画素単位で空間フィルタの係数を変更することができ、1画面の任意の領域に任意の空間フィルタを設定したり、1画面中に数種類の空間フィルタを設定できる画像処理装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明の画像処理装置は、空間フィルタの各係数を選択するための係数選択情報が、少なくとも入力画像を構成する各画素単位の領域に対応させて記憶され、各画素データ入力に同期して、当該画素が所属する領域に割り付けられた前記係数選択情報に対応した係数選択信号を発生させる係数選択信号発生手段と、前記係数選択信号発生手段から発生した係数選択信号に基づいて、予め

記憶されている複数の係数の中から該当する係数を読み出し、その読み出された係数を前記空間フィルタに設定する係数設定手段と、を具備してなるものとした。

【0013】

【作用】本発明の画像処理装置では、入力画像に対する係数選択情報が、予め、少なくとも各画素単位の領域に対応させて係数選択情報が係数選択信号発生手段に記憶される。そして、画素データの入力に同期して、係数選択信号発生手段から当該画素が所属する領域に割り付けられた係数選択情報に対応した係数選択信号が発生される。

【0014】一方、係数設定手段にはフィルタ係数として設定可能な複数の係数が予め記憶され、係数選択信号発生手段からの係数選択信号に基づいて選択された係数が空間フィルタに設定される。

【0015】よって、1つの画面中で最小1画素単位で空間フィルタの係数が変更されるものとなり、任意の領域にフィルタを設定したり、1画面中複数の種類のフィルタを設定できるものとなる。

【0016】

【実施例】以下、図面を参照しながら本発明の実施例について説明する。

【0017】図1には、本発明の一実施例に係る画像処理装置の機能ブロックが示されている。本実施例の画像処理装置は、カメラ20から入力された画像信号をA/D変換器21でデジタル信号からなる画像データに変換し、その画像データを5×5のマトリクスからなる空間フィルタ22及び4ラインバッファ23にそれぞれ入力している。そして4ラインバッファ23により1ライン分、2ライン分、3ライン分、4ライン分、それぞれ遅延された第2ラインから第5ラインまでの画像データを、空間フィルタ22に入力している。上記空間フィルタ22の全体構成が図2に示されている。

【0018】この空間フィルタ22は、第1～第5のブロック24-1～24-5に分割されており、第1のブロック24-1にはA/D変換器21から出力される画像データがそのまま入力し、第2～第5のブロック24-2～24-5には4ラインバッファ23で1ライン分から4ライン分まで順次遅延させた画像データがそれぞれ入力する。上記第1～第5のブロック24-1～24-5のブロック内の構造は、皆同じ構成となっている。図3には第1のブロック24-1の構成が示されている。

【0019】第1のブロック24-1は、直列に接続された5つのデータラッチ回路25～29を備えており、入力側端部に配置されたデータラッチ回路25にA/D変換器21からの画像データが入力される。そしてブロックに入力した画像データが5つのデータラッチ回路25～29を1画素づつシフトして、1ライン内で連続する5つの画素データが、第1のブロック24-1に保持

される。

【0020】上記各データラッチ回路25～29に対して乗算部31～35がそれぞれ設けられており、各データラッチ回路25～29がラッチした連続する5つの画素データに対して各々設定されている係数を乗算している。各乗算部31～35から出力される積は、図2に示す加算器30へ入力する。

【0021】また各乗算部31～35に対応して係数レジスタ群36～40が設けられている。各係数レジスタ群36～40は、それぞれ1番から4番のレジスタからなり、各レジスタに各々異なる数値の係数がセットされる。各レジスタ群36～40に対する係数のセットは、後述するCPUからデータバスを介して行われる。

【0022】各係数レジスタ群36～40毎にセレクト41～45が設けられており、そのセレクト41～45は各々対応している係数レジスタ群36～40の各レジスタに接続されている。これらセレクト41～45は、対応する係数レジスタ群36～40の複数のレジスタ（1番～4番）の中からどのレジスタの係数を選択するか、外部から与えられる係数選択信号によって決定する。

【0023】上記各セレクト41～45が選択した係数は、各セレクト41～45に対応して設けられた係数ラッチ回路46～50を介して上記各乗算部31～35へ与えられる。

【0024】なお、第2～第5のブロック24-2～24-5に、それぞれ5つ設けられた各係数レジスタ群の1番から4番の各レジスタにも4種類の係数が記憶されており、係数選択信号を受けた対応するセレクトにより選択されて対応する乗算部に与えられる。

【0025】一方、上記カメラ20から入力される画像信号が同期分離回路51に入力され、そこで画像信号から水平同期信号を分離し、その分離した水平同期信号を係数選択用フレームメモリ52に入力している。

【0026】係数選択用フレームメモリ52は、第1～第5のブロックの各係数レジスタ群における1番から4番のレジスタから、いずれのレジスタを選択するかといった情報（以下、「係数選択情報」と呼ぶ）が格納されている。この係数選択用フレームメモリ52には、カメラ20から画像処理装置に入力する入力画像の1画面に対応させて、最小1画素の単位の領域で任意の係数選択情報が割り付けられている。この係数選択情報の割り付けは、CPU53から最小1画素の単位で領域指定することによって行われる。

【0027】係数選択用フレームメモリ52に記憶された係数選択情報は、カメラ20に同期して1ライン目から読み出され、同期分離回路51から入力する水平同期信号によって読み出しラインが順次変更される。係数選択用フレームメモリ52から読み出された係数選択情報は、上記係数選択信号として各ブロックのセレクトに与

えられる。

【0028】空間フィルタ22における各ブロック24-1~24-5の各乗算器31~35で得られた画素データと係数との積は加算器30でその総和が求められる。加算器30から出力される加算値は空間フィルタ出力としてD/A変換器54に入力され、そこでアナログ信号に変換されてから表示部55に出力される。

【0029】また同期分離回路51で分離された同期信号はPLL56にも入力している。このPLL56は、同期分離回路51からの同期信号に基づいて、上記A/D変換器21、空間フィルタ22、4ラインバッファ23、D/A変換器54の動作を管理している。

【0030】なお、係数レジスタ群から選択される係数によっては、加算器30での加算値が負になる場合がある。本実施例では加算器30から出力される加算値を常に正にするために加算値の桁上げを実施している。すなわち、データバスに接続された係数レジスタ群56に数種類の正の係数を記憶しておく。そして係数レジスタ群56からセクタ57により所定の係数を選択し、その選択した係数を係数ラッチ58を介して加算器30に入力して加算している。次に、以上のように構成された本実施例の動作について説明する。

【0031】先ず、CPU53から第1~第5のブロック24-1~24-5の各係数レジスタ群36~40に、データバスを介して係数が設定される。例えば、各ブロックにおける各係数レジスタ群36~40の1番から4番のレジスタに、“2”、“1”、“0”、“9”の4種類の係数をセットする。ただし、負の係数を扱いたい場合は、2の種類による係数をセットし、2の補数表示を行う。

【0032】CPU53から各ブロックの各係数レジスタ群36~40に記憶させた4種類の係数を使って、例えば図4(a)に示すような係数をセットする場合について説明する。この様な係数をセットするためには、同図(b)に示すようにレジスタ番号を指定する必要がある。

【0033】そこで本実施例では、1画面中で図4

(a)に示す係数の空間フィルタを使用する領域に対しては、係数選択用フレームメモリ52の対応する領域に、同図(b)に示すようにレジスタ番号を指定する係数選択情報を記憶させている。なお、係数選択用フレームメモリのビット数を削減したい場合、各セクタ45にすべて同じレジスタが選択されるように選択信号を同じにすれば良い。但し、この場合には、例えば各係数レジスタ群36~40の一番に相当するレジスタにそれぞれ違う係数をセットする。この様にすれば、2ビットの係数選択用フレームメモリで4程度の空間フィルタが構成できる。

【0034】カメラ20から入力される画像信号は5ラインづつ空間フィルタ22に入力される。すなわち、

4ラインバッファ23での遅延作用により、第1のブロック24-1に入力するデータに対して、1ライン前のデータが第2のブロック24-2に入力し、以下同様に3ライン、4ライン、5ライン手前のデータがそれぞれ第3~第5のブロック24-3~24-5に入力する。

【0035】あるラインの画素データがフィルタリング処理対象となると、各ブロックの全ての係数ラッチ回路(46~50)に、上記クロック信号が係数変更信号として入力され、各々ラッチしている係数がリセットされる。また、一方では係数選択用フレームメモリ上で当該画素データが属す領域の係数選択情報が係数選択信号として出力される。

【0036】図4(b)に示す例の場合であれば、第1のブロック24-1では、セクタ41には2番のレジスタを選択する係数選択信号が入力し、セクタ42~45には、3番、1番、3番、2番の各レジスタを選択する係数選択信号がそれぞれ入力する。第2~第5のブロック24-2~24-5においても各セクタに係数選択情報に応じた係数選択信号がそれぞれ入力する。その結果、各セクタが係数選択信号に基づいてレジスタを選択し、空間フィルタ22における5×5の乗算部に図4(a)に示す係数が設定されることになる。

【0037】この様にして、ある画素データに対し空間フィルタ22に設定される5×5の係数が変更される。そして、フィルタリング対象となる画素データがライン方向へ順次シフトしていき、フィルタリング対象画素が変わる度に、その対象画素が係数選択用フレームメモリ上で属する領域に割り付けられた係数選択情報が係数選択信号として発生し、上述したようにして空間フィルタ22の係数が変更される。次に、本実施例の画像処理装置を用いて、図5(a)に示す顕微鏡画像をフィルタリング処理する場合について説明する。

【0038】顕微鏡画像の特徴に応じて、画像中の任意の箇所に、使用する空間フィルタを任意に決定する。本例の場合であれば、同図(b)に示すように、画像左上の領域R1には局所平均、画像右下の領域R2には孤立点検出、領域R1とR2との中間の領域R3にはエッジ強調、さらに領域R3の中の所定の領域R4にはラプシアン各フィルタリング処理を施す。

【0039】そこで係数選択用フレームメモリ52に対して、領域R1~R4のそれぞれに上記フィルタリング処理を実現するための特定の係数を係数選択情報として記憶させておく。

【0040】この様に係数選択用フレームメモリ52に顕微鏡画像の領域R1~R4に対応させて係数選択情報を設定しておくことにより、図5(a)に示す顕微鏡画像をフィルタリング処理する際に、フィルタリング対象となっている画素データが所属する領域に割り付けられた係数選択情報に基づいて、空間フィルタ22の係数

が変更され、各領域毎に希望する画像処理が行われるものとなる。

【0041】この様に本実施例によれば、係数選択用フレームメモリ52に、入力画像に対応して最小1画素単位の領域で任意の係数選択情報を割り付け、かつ各係数レジスタ群に数種類の係数を記憶させておき、処理対象となる画素データが属する領域に割り付けられた係数選択情報に基づいて全てのセレクトに係数選択信号を与えて、各係数レジスタ群から所望の係数を読み出してセットするようにしたので、1画面内の任意の複数箇所に所望のフィルタリング処理を施すことができ、最小1画素単位で空間フィルターの係数を変更することができる。しかもデータベースを介して係数レジスタを書換えるのではないので、一般のパソコンで本実施例の装置を構成した場合にも、十分に実用に耐え得る画像処理速度を達成できる。また空間フィルターの係数を1画素毎に変更できるので、入力画像に対するフィルタリング処理と相関処理とを同時にできる。つまり、相関処理をフィルタリング処理に加えることにより、特定の画像に対して最適なフィルターを構成することができる。

【0042】なお、本発明は上記一実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々変形実施可能であり、例えば上記実施例ではフィルタリング処理について説明したが、このフィルタリング処理の他に補間処理、シェーディング、DCT、パターン認識等を行うこともできる。

【0043】

【発明の効果】以上詳記したように本発明によれば、処理速度をそれほど低下することなく最小1画素単位で空間フィルターの係数を変更することができ、1画面の任意の領域に任意の空間フィルターを設定したり、1画面中に数種類の空間フィルターを設定できる画像処理装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る画像処理装置の機能ブロック図。

【図2】上記一実施例の画像処理装置に備えた空間フィルターの全体構成図。

【図3】図2に示す空間フィルターの第1のブロックの構成を示す図。

【図4】5×5の空間フィルターの係数、及びその係数を設定するための係数選択番号を示す図。

【図5】顕微鏡画像、及びその顕微鏡画像を係数の違いにより領域分割したものを示す図。

【図6】従来の画像処理装置に備えられている空間フィルターの構成図。

【符号の説明】

20…カメラ、22…空間フィルター、23…4ラインバッファ、25～29…データラッチ回路、30…加算器、31～35…乗算部、36～40…係数レジスタ群、41～45…セレクト、52…係数選択用フレームメモリ、53…CPU。

【図4】

1	0	-2	0	1
0	-2	1	-2	0
-2	1	9	1	-2
0	-2	1	-2	0
1	0	-2	0	1

(a)

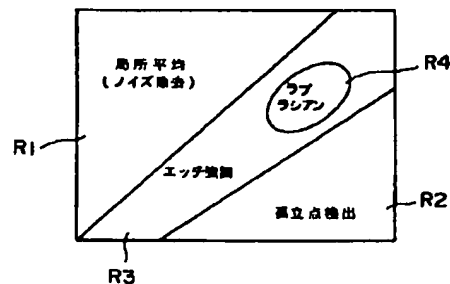
2	3	1	3	2
3	1	2	1	3
1	2	4	2	1
3	1	2	1	3
2	3	1	3	2

(b)

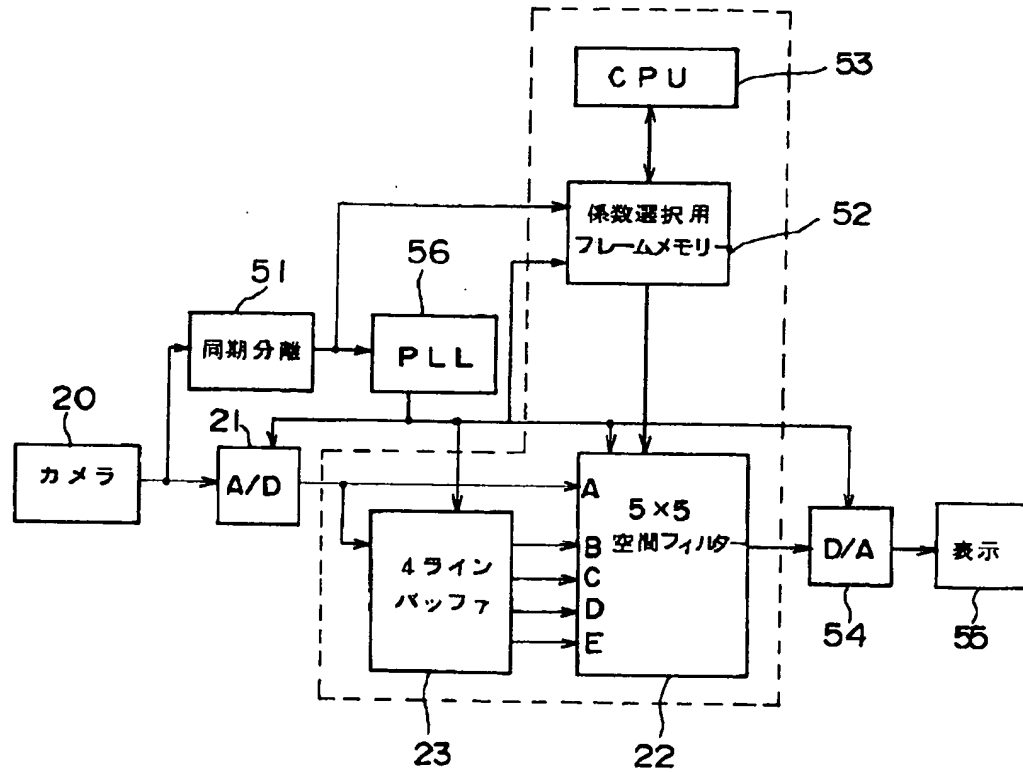
【図5】



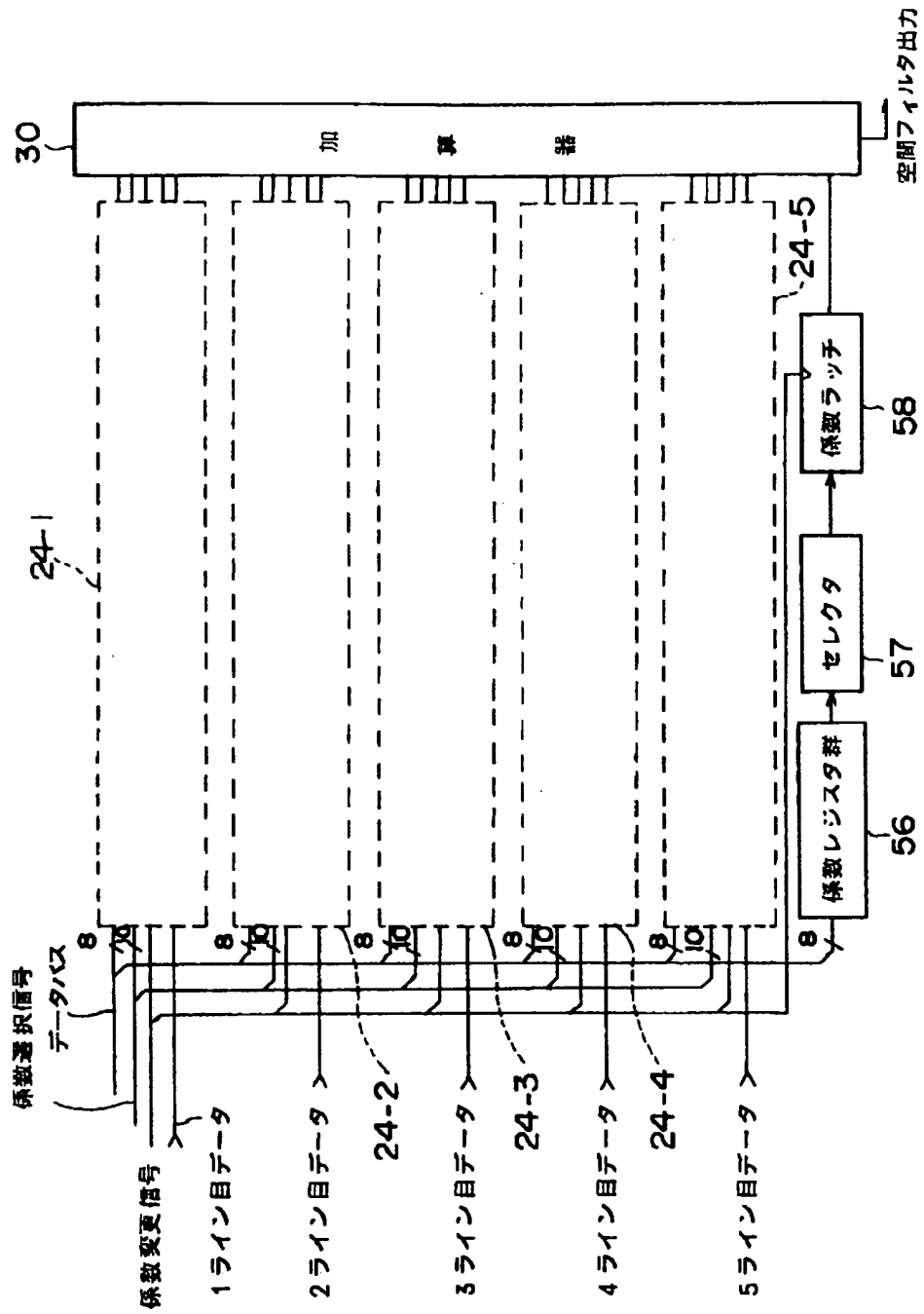
(a)



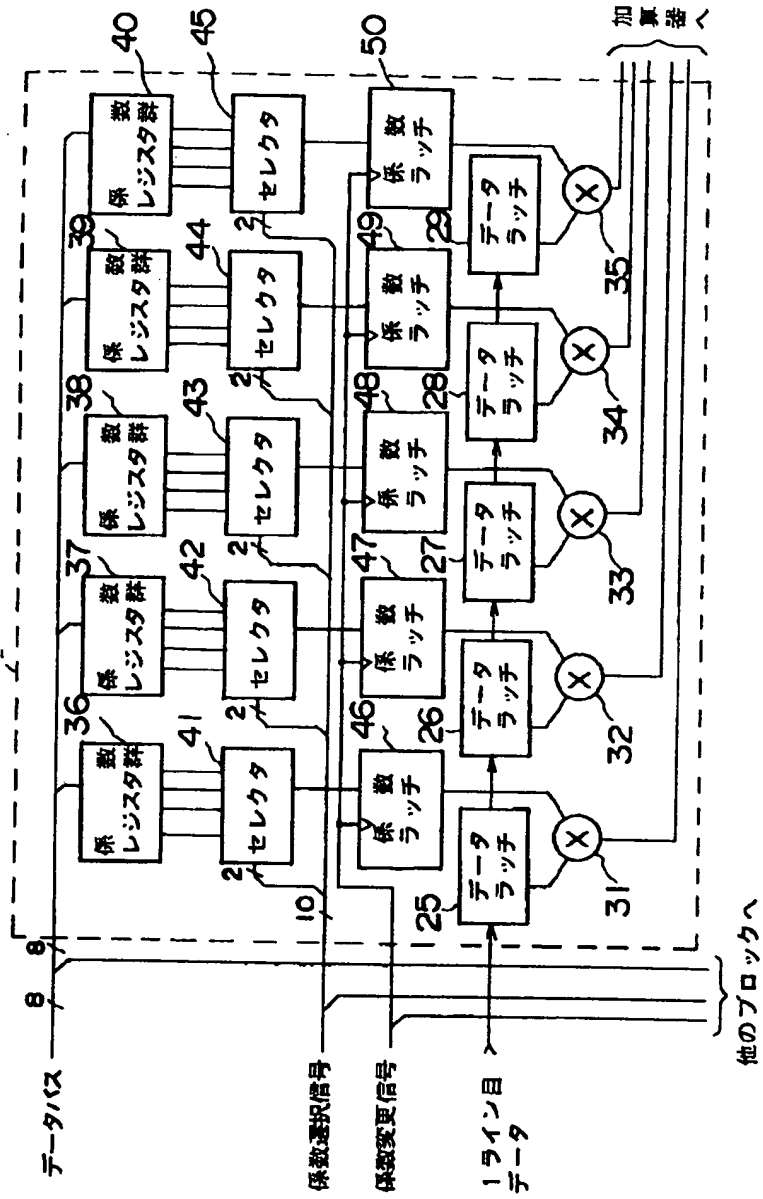
【図1】



【図2】



24-1



【図6】

